

# MANUFACTURE OF SEMICONDUCTOR DEVICE

**Patent number:** JP11040662  
**Publication date:** 1999-02-12  
**Inventor:** ABIKO HITOSHI; HIGUCHI MINORU  
**Applicant:** NEC CORP  
**Classification:**  
**- international:** H01L21/76; H01L21/265; H01L27/08  
**- european:**  
**Application number:** JP19970250400 19970916  
**Priority number(s):**

**Report a data error here**

## Abstract of JP11040662

**PROBLEM TO BE SOLVED:** To reduce the inverse narrow channel effect of a semiconductor device, using trench isolation across a (p) well and (n) well.

**SOLUTION:** After a trench 3 has been formed on the main face of a semiconductor substrate constituted of a mono-crystalline silicon substrate 1, boron 4 is ion-injected into the entire face, including the sidewall face of the trench 3, and a boron injection layer 5 is formed on a boundary face between the trench 3 and the mono-crystalline silicon substrate 1. The deterioration of boron concentration in the mono-crystalline silicon substrate 1 in the neighborhood of the boundary face with the trench 3 can be compensated beforehand.

---

Data supplied from the *esp@cenet* database - Patent Abstracts of Japan

**BEST AVAILABLE COPY**

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-40662

(43) 公開日 平成11年(1999)2月12日

(51) Int. Cl.

H01L 21/78  
21/265  
27/08

識別記号

881

F I

H01L 21/78  
27/08  
21/265

L

S31A

R

審査請求 有 請求項の数16 頁 全 7 頁

(21) 出願番号 特願平9-250400  
(22) 出願日 平成9年(1997)9月16日  
(31) 優先権主張番号 特願平9-131296  
(32) 優先日 平9(1997)5月21日  
(33) 優先権主張国 日本 (J P)

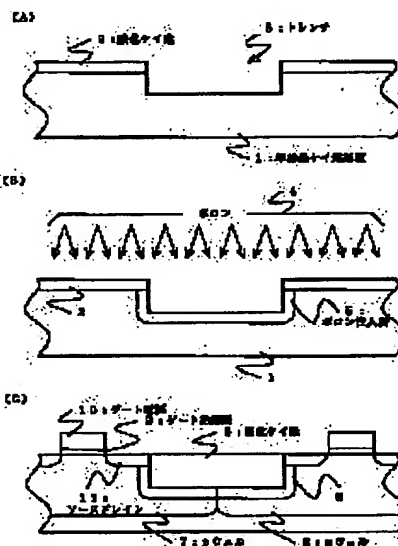
(71) 出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72) 発明者 安藤 仁  
東京都港区芝五丁目7番1号 日本電気機  
式会社内  
(72) 発明者 樋口 実  
東京都港区芝五丁目7番1号 日本電気機  
式会社内  
(74) 代理人 弁護士 後藤 祥介 (外2名)

# (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 ポウエルおよびnウェル上に設けるトレンチアイソレーションを用いた半導体装置の逆チャネル効果を減少できること。

【解決手段】 単結晶ゲイ素基板1による半導体基板の主面にトレンチ3を形成する工程の後、トレンチ3の側壁面を含む全面にボロン4をイオン注入して、トレンチ3と単結晶ゲイ素基板1との界面にボロン注入層5を形成する工程を設けて、トレンチ3との界面近傍の単結晶ゲイ素基板1内におけるボロン濃度の低下を予め補償している。



【特許請求の範囲】

【請求項 1】 pウェルおよびnウェル上に跨がるトレンチアイソレーションを具備する半導体装置の製造方法において、半導体基板の主面にトレンチを形成する工程に次いで、このトレンチの側面を含む全面にボロンをイオン注入する工程を設けることを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、前記 nウェルを形成するイオン注入の工程に際して、nウェル領域にケイ素を注入することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 に記載の半導体装置の製造方法において、ボロンをイオン注入する工程で、ボロンおよび燐の一方をイオン注入し、次いで他方をイオン注入することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 に記載の半導体装置の製造方法において、ボロンをイオン注入する工程で、ボロンおよび砒素の一方をイオン注入し、次いで他方をイオン注入することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 に記載の半導体装置の製造方法において、ボロンをイオン注入する工程で、ボロン並びに燐および砒素のうちの二つをまずイオン注入し、次いで他の一つをイオン注入し、更に次いで残りの一つをイオン注入することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 に記載の半導体装置の製造方法において、ボロンをイオン注入する前記工程は、nウェル領域をフォトリソで覆った後であることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法において、ボロンをイオン注入する前記工程は、nウェル領域をフォトリソで覆い、このリソをリフローした後であることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 に記載の半導体装置の製造方法において、ボロンをイオン注入する前記工程は、リフローしたフォトリソを、エッチバックして前記トレンチの側壁に選択的に残した後であることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 から請求項 8 までのいずれか一つに記載の半導体装置の製造方法において、半導体素子を面取りしておくことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 1 から請求項 8 までのいずれか一つに記載の半導体装置の製造方法において、半導体素子端部のトレンチ肩部を丸めておくことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1 から請求項 8 までのいずれか一つに記載の半導体装置の製造方法において、トレンチを埋める絶縁物の表面を半導体基板の表面より外側に盛り上げることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1 から請求項 11 までのいずれか一つに記載の半導体装置の製造方法において、半導体基板は第 1 導電型の単結晶ケイ素基板であることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 1 に記載の半導体装置の製造方法において、前記 pウェルおよび前記 nウェルを形成した後、次いで、全面にケイ素を注入することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 に記載の半導体装置の製造方法において、前記ケイ素の注入のピーク深さがトレンチアイソレーションの深さとほぼ同じであることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 1 に記載の半導体装置の製造方法において、ゲート電極パターンニング後、ソースドレイン領域形成前に、全面にケイ素を注入することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 15 に記載の半導体装置の製造方法において、前記ケイ素の全面注入の後、ソースドレイン領域形成前に、ほぼ概氏 800 度以上の熱処理を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トレンチアイソレーションを具備する半導体装置の製造方法に関して、特に、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 集積回路装置において、トランジスタのチャネル幅が減少するに当たって閾値電圧が低下するという逆狭チャネル効果を低減できる半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来、この種の半導体装置の製造方法では、まず、図 9 (A) に示されるように、単結晶ケイ素基板 101 にトレンチ 103 を形成後、トレンチ 103 の内壁全てを化学的気相成長 (CVD) 法により酸化して酸化ケイ素 105 がパイルアップされる。

【0003】 次いで、図 9 (B) に示されるように化学的機械的研磨 (CMP) 法により表面の酸化ケイ素 105 が研磨され平坦化されることによって、トレンチ 103 が酸化ケイ素 105 により埋めこまれ、表面側に形成されるゲート電極 110 との間に設けられるゲート絶縁膜 111 により表面が覆われる。

【0004】 ここで、トレンチ 103 を埋め込んだ酸化ケイ素 105 が単結晶ケイ素基板 101 の表面より低く下がった図 9 (B) に示されるような状態では、図 9 (C) の特性図に示されるように、MOSFET のチャネル幅が 10  $\mu\text{m}$  から 0.2  $\mu\text{m}$  に減少した場合、MOSFET の閾値電圧がほぼ 0.15V 減少してしまうという問題がある。

【0005】 その理由は、例えば、1981 年の IEDM (International Electron Device Meeting) ・テク

ニカル・ダイジェスト(380ページから383ページ)に記載されているように、トレンチ肩部112の近傍で、ゲート電極110から単結晶ケイ素基板101内部方向の電界Vと表面に平行な方向の電界Hとの集中があり、トレンチ肩部112で閾値電圧が下がってしまうからである。

【0006】すなわち、MOSFETのチャネル幅が小さくなった場合、この閾値電圧が低下した部分の、チャネル全体に占める割合が大きくなり、MOSFET全体としても閾値電圧が低下する。

【0007】この問題を解決するには、トレンチの側壁から不純物をイオン注入して半導体素子端部の閾値電圧を高める方法がある。

【0008】しかし、この不純物濃度が、単結晶ケイ素基板101とトレンチ103を埋める酸化膜との界面付近において、単結晶ケイ素基板101内より高くなるため、接合容量および接合リーク電流の増大を引き起こす。

【0009】この問題を避けるためには、例えば、特開平6-177239号公報に記載されているように、素子分離領域の半導体をエッチングしてテーパー形状のトレンチを作成する、すなわち、半導体素子の端部で肩状を形成させないこと、または肩形状部分を面取りすることにより、電界集中を押さえるなどの方法がある。

【0010】

【発明が解決しようとする課題】上述した従来の半導体装置の製造方法では、半導体素子の端部で肩状を形成させないこと、または肩形状部分を面取りすることにより、電界集中を押さえる方法をどうしても、トランジスタのチャネル幅が小さい場合に閾値電圧が低下する逆狭チャネル効果による現象が起きるといった問題点がある。

【0011】その理由は、チャネルに含まれるボロンが熱拡散によって基板のケイ素とトレンチを埋める酸化ケイ素との界面で酸化ケイ素側にバイルアップするため外方向に拡散し、トレンチと基板との界面付近でチャネルに含まれるボロン濃度の低下した領域が形成されるからである。このボロンの拡散は、イオン注入などで発生する格子間ケイ素の存在により、摄氏800度程度でも生じる。

【0012】他方、nウェルを形成する不純物の炭または砒素は基板のケイ素側にバイルアップされるため、チャネルから外方向への拡散がないので、この現象は起こらない。

【0013】本発明の課題は、上記問題点を解決し、トランジスタのチャネル幅が小さくても閾値電圧が低下しない半導体装置の製造方法を提供することである。

【0014】

【課題を解決するための手段】本発明による半導体装置の製造方法は、pウェルおよびnウェル上に跨がるトレンチアイソレーションを具備する半導体装置の製造方法

において、半導体基板の表面にトレンチを形成する工程に次いで、このトレンチの側面を含む全面にボロンをイオン注入する工程を設けることである。

【0015】更に構成要件として、nウェルを形成するイオン注入の工程に際して、nウェル領域にケイ素を注入することが加えられる。また、ボロンをイオン注入する工程で、ボロンおよび炭を順次イオン注入すること、ボロンおよび砒素を順次イオン注入すること、または、ボロン、炭および砒素の全てを順次イオン注入することが挙げられる。また、ボロンをイオン注入する前記工程がnウェル領域をフォトレジストで覆った後であることも構成要件に加えることができる。

【0016】この構成により、基板のケイ素とトレンチを埋める酸化ケイ素との界面近傍の基板内で濃度低下を補償する程度のみのボロンをイオン注入することにより、接合容量または接合リークの増大は生じない。また、ボロンを表面全面にイオン注入することによるフォトレジスト工程の増加は不要である。

【0017】更に、ボロンが注入されて側面の閾値電圧が低下したnウェル領域では、バイルアップした炭または砒素がボロンの働きをキャンセルするので、閾値電圧の低下は生じない。

【0018】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0019】図1は本発明の実施の一形態を示す機能ブロック図である。図1に示された半導体装置の製造方法では、第1導電型の単結晶ケイ素基板1の表面に酸化ケイ素2を形成する工程に次いで、図1(A)に示されるようにトレンチ3が形成されたものとする。

【0020】次の工程は、図1(B)に示されるように、トレンチ3の側面を含む全面に、酸化ケイ素2をマスクとして、斜め方向にボロン4をイオン注入する。例えば、ボロン4はトレンチ3の側壁面に対してドーズ量 $5E12cm^{-2}$ でイオン注入されるものとする。このイオン注入により、ボロン注入層5が形成される。注入する深さは不純物分布のピークが表面から50nm程度にあればよく、例えば、注入角度が垂直方向に対して30度傾けた場合、30KeV程度が加えられればよい。

【0021】上記条件は本発明を限定するものではなく、注入角度が異なる場合、トレンチ表面に酸化ケイ素などのマスクが形成された場合、それぞれの条件により条件の変更が可能である。

【0022】次いで、図1(C)に示されるようにトレンチ3を酸化ケイ素6により埋め、表面研磨などの工程により酸化ケイ素6以外の範囲の単結晶ケイ素基板1を露出させて、pウェル7およびnウェル8それぞれを形成する不純物をイオン注入した後、アニール処理によりソースドレイン11を形成する。この工程の間、主にイオン注入工程で発生した格子間のケイ素により、ボロン

が増速拡散して濃度が低下するが、最初に表面全面に注入した量に相当するボロンのみが、トレンチ3を埋めている酸化膜に外方拡散するので、pウェル7では単結晶ケイ素基板1とトレンチ3との界面付近でボロン濃度が所定の濃度以下には低下せず、逆狭チャネル効果は発生しない。

【0023】図1(C)には、更にゲート絶縁膜9およびゲート電極10を形成するゲート電極パターンニング工程およびソースドレイン11の領域を形成するソースドレイン領域形成工程を済ませた状態が示されている。

【0024】また、図2は、図1を参照して説明した工程に基づくMOSFETの閾値電圧のチャネル幅依存性を示す特性図である。図示されるように、チャネル幅が変化しても閾値電圧の変化は殆どない。

【0025】次に、図3を参照して図1とは別の第2の実施例について説明する。

【0026】図1(C)において、nウェル8領域にあるボロンは、できるだけトレンチ内の酸化ケイ素6の方向に外方拡散させてしまうことが望ましい。このため、図3に示されるように、nウェル8に対するイオン注入の際、フォトレジスト12をマスクにケイ素13を追加注入して格子間のケイ素を増加させておく。この場合のドーズ量は、 $1 \times 10^{14} \text{ cm}^{-2}$ 以上が望まれる。

【0027】次に、図4の特性を有する第3の実施例について説明する。

【0028】図4は、図1(B)において、表面全面にボロンをイオン注入する際、追加して燐をイオン注入した場合の特性図である。燐は、ボロンと同程度の深さになるエネルギーで、ボロンと同一または2倍までのドーズ量によりイオン注入されたものである。この方法では、逆狭チャネル効果は残るが、チャネル幅が $10 \mu\text{m}$ から $0.2 \mu\text{m}$ に減少しても、閾値電圧は、 $0.08 \text{ V}$ 程度の減少であり、図9(C)に示される従来の特性に比べ、大幅な向上が確認された。

【0029】この効果は、燐の代わりに砒素を用いても同様であり、更に、燐と砒素とを組み合わせても同様である。これらの注入時期がボロンの注入工程の前後いずれでも、その改善された効果は同様である。

【0030】また、図5に示されるように、ボロンのイオン注入をpウェル7のみに選択的に行うことも効果的である。この場合、図示されるように、トレンチ3を形成する工程の後、nウェル8のみをフォトレジスト14で覆い、ボロンをイオン注入すればよい。しかし、この工程で分離幅が小さい場合、ボロンを傾斜させてボロン注入すると、フォトレジスト14の陰になって注入不能な事態が生じる。

【0031】図6(A)、(B)は、図5で生じる問題を回避するために用いるフォトレジスト15、16の形状を例示する第4および第5の実施例の説明図である。

【0032】図6(A)では、図5のフォトレジスト14を形成後、例えば、フォトレジスト14の流動する温度においてアニールすることによって、フォトレジストの肩部を丸めたフォトレジスト15を形成している。この結果、イオン注入に対する陰の部分が少なくなっている。

【0033】また、図6(B)では、図5のフォトレジスト14を形成後、フォトレジスト14を異方性エッチングしてトレンチの側壁にフォトレジスト16によるサイドウォールを形成しており、上記同様の効果が得られている。

【0034】上記説明の工程は他の工程の中に組み込まれるものであり、上記機能が満たされる限り、工程の前後入れ替えまたは同時処理などの変更は自由であり、上記説明が本発明を限定するものではない。

【0035】次に、図7に図1(C)を併せ参照して、第6の実施例について説明する。

【0036】上記第2の実施例の説明で記載されているように、図1(C)において、nウェル8領域にあるボロンは、できるだけトレンチ内の酸化ケイ素6の方向に外方拡散させてしまうことが望ましい。他方、pウェル7領域については、ゲート絶縁膜9の界面から $0.25 \mu\text{m}$ 以上の深さで単結晶ケイ素基板1までの領域のボロンの濃度は、MOSFETの閾値電圧に影響を与えない。しかし逆にこの領域におけるボロンの濃度が高くなるにしたがって接合容量または接合リークが増加するため、この領域のボロンも上記同様、できるだけトレンチ内の酸化ケイ素6の方向に外方拡散させてしまうことが望ましい。

【0037】このため、第6の実施例では、図7に示されるように、pウェル7領域およびnウェル8領域を形成した後の工程で、全面にケイ素を注入して格子間のケイ素を増加させておく。この場合のケイ素注入のピーク深さはトレンチの深さと同じで、ドーズ量は $1 \times 10^{14} \text{ cm}^{-2}$ 以上が望まれる。

【0038】この第6の実施例における説明のように、pウェル7領域について、ゲート絶縁膜9の界面から $0.25 \mu\text{m}$ 以上の深さで単結晶ケイ素基板1までの領域のボロンの濃度は、MOSFETの閾値電圧に影響を与えないが、逆にこの領域におけるボロンの濃度が高くなるにしたがって接合容量または接合リークが増加するため、この領域のボロンも、できるだけトレンチ内の酸化ケイ素6の方向に外方拡散させてしまうことが望ましい。

【0039】しかし、pウェル7領域のゲート電極10の下ボロンの濃度を低くしすぎるとソースドレイン11との間にバジンスルーによる電流が流れるという問題を生じる。この問題を解決するため、次の処理、すなわち、第7の実施例を講じることができる。

【0040】次に、図8に図1(C)を併せ参照して第

7の実施例について説明する。

【0041】図示されるように、ゲート電極10をパターンニング後の工程で、全面にゲイ素を注入して格子間のゲイ素を増加させておく。その後の工程で、ソースドレイン11領域を形成する前に、概氏800度以上の熱処理を行い、ボロンを増速拡散させている。この方法によりゲート電極10の下領域におけるボロンの濃度は低下しない。

【0042】

【発明の効果】以上説明したように本発明によれば、トレンチアイソレーションを用いた半導体装置の逆狭チャネル効果を減少できる効果を得ることができる。

【0043】その理由は、トレンチ形成後、ボロンを表面全面にイオン注入しているので、このボロンのイオン注入により、熱拡散によってトレンチを埋める酸化ゲイ素に向けて外方拡散して濃度低下した分のボロンを補償できるからである。

【0044】本発明は、特にnMOSFETの逆狭チャネル効果に対して効果的であり、実施例によれば、半導体集積回路装置のスタンバイ電流を30%、低減することができた。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示す断面説明図である。

【図2】図1における閾値電圧のチャネル幅依存性の一例を示す特性図である。

【図3】本発明の第2の実施形態を示す断面説明図である。

【図4】本発明の第3の実施形態における閾値電圧のチャネル幅依存性の一例を示す特性図である。

【図5】本発明の途中工程の一形態を示す断面説明図である。

【図6】本発明の第4の実施形態（A）および第5の実施形態（B）を示す断面説明図である。

【図7】本発明の第6の実施形態を示す断面説明図である。

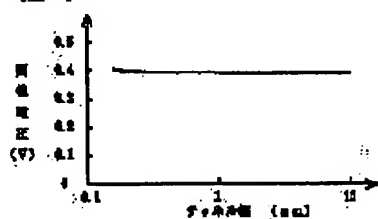
【図8】本発明の第7の実施形態を示す断面説明図である。

【図9】従来の一例を示す断面説明図（A）、（B）、および閾値電圧のチャネル幅依存性の一例を示す特性図（C）である。

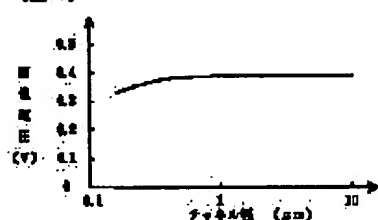
【符号の説明】

- 1 単結晶ゲイ素基板
- 2、6 酸化ゲイ素
- 3 トレンチ
- 4 ボロン
- 5 ボロン注入層
- 7 pウェル
- 8 nウェル
- 12、14、15、16 フォトリソist
- 13、17、18 ゲイ素

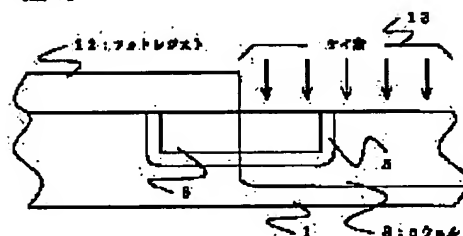
【図2】



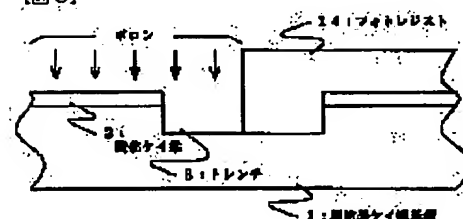
【図4】



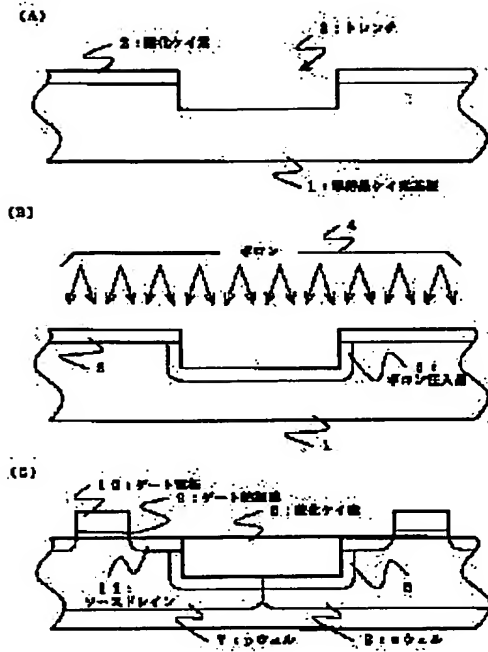
【図3】



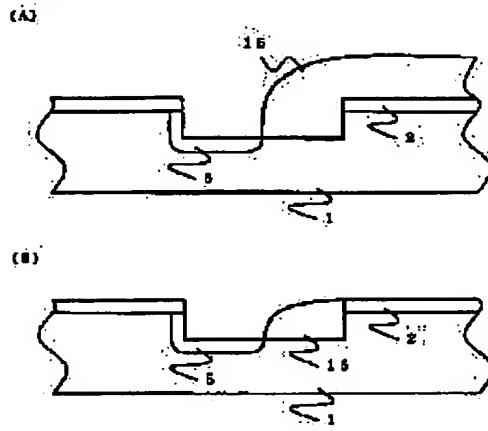
【図5】



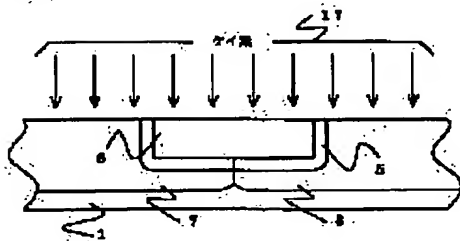
【図1】



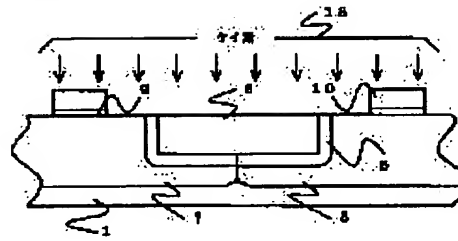
【図5】



【図7】



【図8】



(A)





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**